

## CRYSTALLIZATION OF SEMICONDUCTOR THIN FILM

INVENTOR: MASAFUMI SHINPO  
ASSIGNEE: SEIKO DENSHI KOGYO KK  
APPL NO: 58-34890  
DATE FILED: Mar. 3, 1983  
PATENT ABSTRACTS OF JAPAN  
ABS GRP NO: E290  
ABS VOL NO: Vol. 9, No. 10  
ABS PUB DATE: Jan. 17, 1985  
INT-CL: H01L 21/20; H01L 21/263

## ABSTRACT:

PURPOSE: To contrive to enhance performance, and to reduce cost of a semiconductor thin film by a method wherein the island type semiconductor thin film consisting of an additional region part and a main body region part is formed, a beam is projected at first to the additional region to convert into a single crystal, and the main body region part is crystallized in succession.

CONSTITUTION: A semiconductor device such as \*\*TFT\*\*, etc. is formed in the future in a main body region part 2, and a sufficient area necessary therefore is provided thereto. An additional region part 3 has sufficiently narrow width  $W$  to facilitate conversion into a single crystal when it is recrystallized, and moreover has sufficient length  $L$  to reduce a thermal influence to be generated owing to existence of the main body part 2. The narrower width  $W$  becomes, the more it is desirable, and width is selected typically to  $5\text{ }\mu\text{m}$  or less, length  $L$  is to width  $W$  or more, and moreover desirably  $10\text{ }\mu\text{m}$  or more is selected. This device is applied to a system wherein after a converged laser beam 10 is scanned in a high speed in the (x) direction, the beam is displaced smaller than \*\*beam\*\* \*\*width\*\*  $D$  in the (y) direction, and scanned in a high speed in parallel with the (x) axis again. In any case, it is necessary to form arrangement as to make the additional region part 3 to be annealed faster than the main body region part 2.

19 日本国特許庁 (JP)

11 特許出願公開

12 公開特許公報 (A)

昭59-161014

St Int. Cl.<sup>1</sup>

識別記号

庁内整理番号

①公開 昭和59年(1984)9月11日

H 01 L 21 20

7739-5 F

21 263

発明の数 1

審査請求 未請求

(全 4 頁)

13 発明の要約

21 特 願 昭58-34890

22 出 願 昭58(1983)3月3日

23 発 明 者 新保雅文

東京都江東区亀戸6丁目31番1

号株式会社第二精工舎内

24 出 願 人 セイコー電子工業株式会社

東京都江東区亀戸6丁目31番1

号

25 代 理 人 弁理士 最上 功

14 発明の概要

発明の名称

半導体薄膜結晶化方法

15 特許請求の範囲

1 少なくとも基及層が絶縁物よりなる基板上に、本体領域部と、該領域部より薄く且つ該領域部に連続する付加領域部とから成る島状半導体薄膜領域を形成する工程と、前記薄膜領域をビームでアニール処理して結晶化する際に前記付加領域部の幅よりも広いビーム幅で、しかも前記付加領域部を前記本体領域部より先に前記ビームで照射する工程とより成る半導体薄膜結晶化方法。

2 前記付加領域部の幅が5  $\mu\text{m}$ 以下、長さが前記領域部以上であることを特徴とする特許請求の範囲第1項記載の半導体薄膜結晶化方法。

3 前記薄膜領域が複数個あり、前記付加領域によって互いに連続されていることを特徴とする特許請求の範囲第1項あるいは第2項記載の半導体

16 発明の詳細な説明

17 発明の概要

本発明は、半導体薄膜トランジスタ（以下TFTと称す）を有する集積回路中のTFTサイズの島状半導体薄膜を結晶化する方法に関するものである。

従来、絶縁物基板上の半導体薄膜の結晶化方法は、主にレーザ、電子線、ランプ、ヒーター等のビームアニール技術を利用したグラフト・エピタキシー、ブレイン成長、ブリッジングエピタキシー、SOSなどがある。グラフト・エピタキシーは、基板に周期的な凹凸（レリーフ）を設けて、再結晶核の安定位置を与えかつ方位をそろえて薄膜を単結晶化しようとするものである。この方法では、基板に凹凸を設ける工程が必要であり、薄膜表面に凹凸を生じてしまう。また、ブリッジングエピタキシーは、単結晶基板上に開孔を有する絶縁膜を設け、その上の薄膜を開孔部の基板を種結晶として結晶化するものであるが、基板には単

結晶材料を用いなければならない。さらにSOS (Silicon on SapphireまたはSpinel) では、基板に高価なサファイアやスピネルの単結晶基板を必要とする。

これらに対し、ブレイン成長は融融石英やガラスなど非晶質の基を用いることができ、かつ表面は平坦でよい。しかし、単に平坦な基板上の半導体薄膜をビームアニールしただけでは単結晶膜にはならない。そこで、種々の方法が試みられている。例えば、基板(SiO<sub>2</sub>、P<sub>2</sub>O<sub>5</sub>単結晶)全面に堆積した多結晶Si層をビームアニールすると、粒径が数μm以上になるのに対し、多結晶膜を島状にすると2×2.5μm<sup>2</sup>の場合には単結晶、2.5×2.5μm<sup>2</sup>以上では数μmの粒化になる(Applied Phys Letters 55号 7/5頁 1979年及び54号51頁 1979年)。また、ヒーターやランプを用いた常圧溶融法においては、基板上のSi薄膜を溶から数μmの単結晶を得ている。(例えば、Applied Phys Letters 57号 454頁 1979年)

第1図(α)では、島状半導体薄膜(例えば非晶質Si—Ge—S<sub>1</sub>)1は図X、長さLの付加領域部と図Y、長さLの本体領域部2から成り、長方形もしくはビーム幅Dをもつアニール用ビーム10がY方向に走査される例が示されている。半導体薄膜1は、酸化膜(SiO<sub>2</sub>)を覆ったシリコン、または石英、ガラス、セラミックス、等融材料の基板上に堆積のフォトリソグラフィ等で形成される。本体領域部2には例えばSiO<sub>2</sub>薄膜が形成され、それには電圧を印加している。付加領域部3は、単結晶化する島状単結晶となりやすくするため充分狭い幅をもち、かつ本体領域部2があるための熱的影響を少なくするため充分な長さをも有している。図Xは狭い図例示しく、典型的には5μm以下、長さLは10μm以上、さらに望ましくは100μm以上が求められる。付加領域3は、ビーム幅Dより狭いが、本体領域部2の幅W。は必ずしもビーム幅Dより狭い必要はない。第1図(α)の例は、例えば図

び41巻 824頁 (1982年)しかし、これら常圧溶融法では基板を1000〜1200℃に予熱しておくため、低融点のガラス基板の如きものは使えない。さらに、三次元集積回路に適用しようとするれば、基板内につくられた不純物添加領域が大きく再分布してしまう。

本発明は、以上の様な状況に鑑みなされたもので、特に島状薄膜のブレイン成長方法を改善するものである。本発明では、特に小さな島状薄膜が溶融再結晶によって単結晶化することを利用し、それを結晶膜として大きな島状薄膜を結晶化するものである。そのため、本発明においては半導体薄膜を島状にする際、幅が充分狭い小面積の領域(付加領域部)と面積の大きい本体領域部から成る島状半導体薄膜とし、ビームアニール等で溶融再結晶する場合に付加領域に先にビームを照射し単結晶化し、引き続いて幅方向エピタキシーを利用して本体領域部を結晶化するものである。

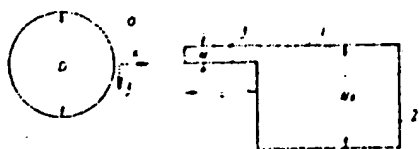
以下に図面を用いて本発明を詳述する。第1図には、本発明の実施例が模式的に半面図で示され

た。レーザ・ビーム10がY方向に急速に走査された後、X方向にビーム幅Dより小さく定値して再びX軸と平行に高速走査する方式に適用して本発明の効果が大きい場合である。とにかく付加領域部3が本体領域部2よりも早くアニールされる様な配置をとる必要がある。第1図(β)は、第1図(α)と同様方式のビームアニールに適用した例であり、本体領域部2と付加領域部3の間に幅が徐々に変化する領域4を設けたものである。第1図(γ)は、ビーム幅Dに対し本体領域部より図X。が小さいときには、付加領域部3は本体領域部2の幅方向の中心部近くにつけられることを示す。

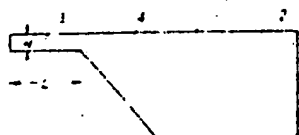
第2図には、X軸方向にビームを高速走査し、Y方向にスラップまたは低速走査する場合、島状領域1の左右どちら側からビームが走査されても本発明の目的を達成できる例を示した。第2図(α)は、本体領域部2の中央のX軸方向に存在する様に2つの付加領域部3、3'を設けた例、第2図(β)はさらに付加領域部3、3'の幅を狭



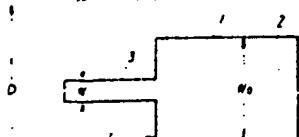
第 1 图 (a)



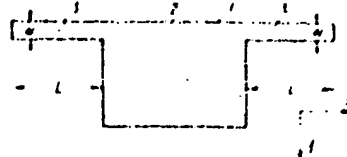
第 1 图 (b)



第 1 图 (c)



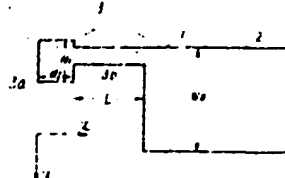
第 2 图 (a)



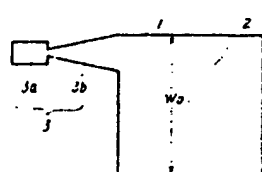
第 2 图 (b)



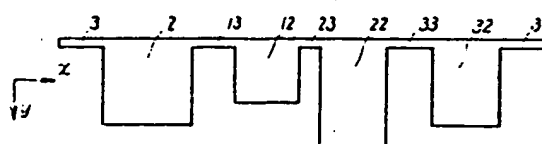
第 3 图 (a)



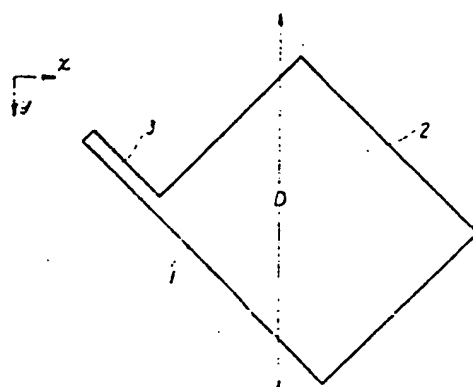
第 3 图 (b)



第 4 图



第 5 图



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**